

## ⑫ 公開特許公報(A) 平2-22926

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月25日

H 03 M 1/00  
H 04 B 14/04

Z

6832-5J  
8732-5K  
8226-5K

H 04 L 27/00

Z※

審査請求 未請求 請求項の数 3 (全9頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 昭63-172996

⑰ 出 願 昭63(1988)7月12日

⑱ 発 明 者 藤 井 文 明 東京都小平市上水本町1448番地 日立超エル・エス・アイ  
エンジニアリング株式会社内

⑲ 発 明 者 萩 原 史 郎 東京都小平市上水本町1450番地 株式会社日立製作所武蔵  
工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立超エル・エス・ア 東京都小平市上水本町1448番地  
イエエンジニアリング株  
式会社

㉒ 代 理 人 弁理士 徳若 光政

最終頁に続く

## 明 細 書

## 1. 発明の名称

半導体集積回路装置

## 2. 特許請求の範囲

1. 同一の半導体基板上に形成されるアナログ回路及びデジタル回路を具備し、上記アナログ回路において所定の動作が行われるとき上記デジタル回路の動作が一時的に停止されることを特徴とする半導体集積回路装置。

2. 上記半導体集積回路装置は、1チップ型のモデム装置であって、上記アナログ回路及びデジタル回路は、それぞれ上記モデム装置に含まれるA/D変換回路及びデジタル信号処理回路であることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 上記A/D変換回路は、所定のサンプリングクロック信号に従って入力アナログ信号のレベルをサンプリングし、上記デジタル信号処理回路は、複数相のクロック信号に従って同期動作するものであって、上記デジタル信号処理

回路は、上記A/D変換回路において上記サンプリング動作が行われるとき、上記クロック信号が一時的に形成されないことによって、その動作が一時的に停止されるものであることを特徴とする特許請求の範囲第1項又は第2項記載の半導体集積回路装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体集積回路装置に関するもので、例えば、1チップ型のモデム(MODEM: 変復調)装置等に利用して特に有効な技術に関するものである。

(従来の技術)

A/D変換回路等のアナログ回路と、デジタル信号処理回路等のデジタル回路とを混載する1チップ型モデム装置がある。これらのモデム装置において、A/D変換回路は、例えばスイッチトキャパシタを用いたサンプルホールド回路を有し、所定のサンプリングクロック信号に従って入力アナログ信号のレベルをサンプリングする。ま

た、ディジタル信号処理回路は、例えばマイクロプログラム方式の処理回路を有し、複数相のクロック信号に従って同期動作する。

1チップ型モデム装置については、例えば、日経マグロウヒル社発行、1986年8月25日付「日経エレクトロニクス」第227頁～第237頁等に記載されている。

(発明が解決しようとする課題)

第4図及び第5図には、本願発明者等がこの発明に先立って開発した1チップ型モデム装置のブロック図及び信号波形図が示されている。第4図において、モデム装置は、A/D変換回路ADCとディジタル信号処理回路DSPを含む。A/D変換回路ADCは、ディジタルPLL(フェーズロックループ)回路DPL1から供給されるサンプリングクロック信号 $\phi_s$ に従って、伝送路からアナログフィルタAF1を介して伝達される入力アナログ信号 $A_{in}$ のレベルをサンプリングする。ディジタル信号処理回路DSPは、クロック発生回路CG3から供給される4相のクロック信

号 $\phi_1 \sim \phi_4$ に従って同期動作し、送受信されるアナログ信号に対する所定の信号処理を施す。クロック信号 $\phi_1 \sim \phi_4$ は、第5図に示されるように、外部から供給される基本クロック信号 $\phi_0$ を分周することによって形成される。

ところが、上記のようなモデム装置には、次のような問題点があることが明らかとなった。すなわち、上記モデム装置において、A/D変換回路ADCは、スイッチトキャパシタを基本構成とするサンプルホールド回路を有し、第5図に示されるように、サンプリングクロック信号 $\phi_s$ の立ち下がりエッジに同期して入力アナログ信号 $A_{in}$ のレベルをサンプリングする。一方、ディジタル信号処理回路DSPは、算術論理演算ユニットやレジスタ等の論理部とランダムアクセスメモリ等の記憶部を有し、これらのディジタル回路が上記クロック信号 $\phi_1 \sim \phi_4$ に従って同期動作する。言うまでもなく、これらのアナログ回路とディジタル回路は、共通の半導体基板上に形成され、共通の電源供給線を介して回路の電源電圧及び接地

電位の供給を受ける。したがって、上記クロック信号 $\phi_1 \sim \phi_4$ に従って比較的多数の回路素子からなるディジタル信号処理回路DSPの論理部及び記憶部が同期動作されるのにもなって、第5図に示されるようなノイズ信号 $V_n$ が発生し、基板容量や電源供給線等を介して、A/D変換回路ADCのサンプルホールド回路等に伝達される。このため、A/D変換回路ADCのS/N比が低下し、モデム装置として十分な伝送特性を得ることができなくなる。

一方、これに対処するため、第5図のサンプリング点s1に示されるように、上記ノイズ信号 $V_n$ が形成されないすき間を見計らって、A/D変換回路ADCのサンプリング動作を行う方法が考えられる。しかしながら、加入者回線のデータ伝送レートが高くされ、ディジタル信号処理回路DSPのクロック周波数が高くされるにしたがって、サンプリングを行うすき間を見つけ出すことが困難となるものである。

この発明の目的は、ディジタル回路と同一の半

導体基板上に形成されるアナログ回路のS/N比を向上させることにある。この発明の他の目的は、A/D変換回路等のアナログ回路とディジタル信号処理回路等のディジタル回路を混載するモデム装置等の伝送特性を高めることにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、A/D変換回路等のアナログ回路とディジタル信号処理回路等のディジタル回路を混載するモデム装置等において、例えばA/D変換回路により入力アナログ信号のサンプリング動作が行われる間、ディジタル信号処理回路に供給されるクロック信号を一時的に形成せず、その動作を一時的に停止させるものである。

(作 用)

上記した手段によれば、A/D変換回路等のサ

ンプリング時において、ディジタル信号処理回路により発生するノイズを一時的に抑制できる。これにより、A/D変換回路等のS/N比を改善し、結果的にアナログ回路及びディジタル回路を混載する1チップ型モデム装置等の伝送特性を高めることができる。

#### (実施例)

第1図には、この発明が適用された1チップ型モデム装置の一実施例のブロック図が示されている。また、第2図には、第1図のモデム装置の一実施例の信号波形図が示されている。これらの図に従って、この実施例のモデム装置の構成と動作の概要ならびにその特徴について説明する。なお、第1図の各ブロックを構成する回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

この実施例のモデム装置は、特に制限されないが、例えば統合ディジタル通信網の加入者回路に含まれる。モデム装置には、図示されない加入者

回路を介して、例えば振幅位相変調されて伝達される受信データが、アナログ入力信号Ainとして供給される。モデム装置は、このアナログ入力信号Ainを、まず所定のオーバーサンプリングクロック信号φsに従ってサンプリングし、帯域制限した後、所定ビット数のディジタル信号に変換する。また、これらのディジタル信号に所定の信号処理を施すことで、受信データを復元・抽出し、ホストコンピュータ等に伝送する。一方、モデム装置は、ホストコンピュータ等から出力される送信データを、上記と逆の手順で処理することによって例えば振幅位相変調されたアナログ出力信号Aoutを形成し、図示されない加入者回路に送出する機能をあわせ持つ。

さらに、この実施例のモデム装置は、特に制限されないが、アナログフィルタAF1、AF2やA/D変換回路ADC及びD/A変換回路DAC等のアナログ回路と、ディジタル信号処理回路DSP及びディジタルPLL回路DPL1、DPL2等のディジタル回路を混載する。これらのアナ

ログ回路及びディジタル回路は、共通の半導体基板上に形成され、共通の電源供給線を介して回路の電源電圧及び接地電位の供給を受ける。上記A/D変換回路ADCは、後述するように、スイッチトキャパシタを基本構成とするサンプルホールド回路を含み、ディジタルPLL回路DPL1から供給されるサンプリングクロック信号φsに従って入力アナログ信号Ainのレベルをサンプリングする。また、上記ディジタル信号処理回路DSPは、比較的多数の論理回路からなる論理部及び記憶部を含み、クロック発生回路CG2から供給される4相のクロック信号φ1~φ4に従って同期動作される。この実施例において、ディジタルPLL回路DPL1は、上記サンプリングクロック信号φsをA/D変換回路ADCに供給するのにあわせて、サンプリングクロック信号φsを包含するような形で形成されるタイミング信号φspをクロック発生回路CG2に供給する。クロック発生回路CG2は、上記タイミング信号φspがハイレベルとされるとき、クロック信号φ1

~φ4を一時的に形成しない。このため、ディジタル信号処理回路DSPの動作は一時的に停止され、ディジタル信号処理回路DSPの動作にともなって発生するノイズ信号が一時的に抑制される。これにより、A/D変換回路ADCのS/N比が改善され、結果的にモデム装置としての伝送特性が高められる。

第1図において、図示されない加入者回路を介して供給されるアナログ信号Ainは、特に制限されないが、アナログフィルタAF1の入力端子に供給される。ここで、入力アナログ信号Ainは、特に制限されないが、2400Hz（ヘルツ）のキャリア（搬送信号）が振幅位相変調されることによって形成され、実質的に9600ビット/秒のデータ伝送レートを持つ。

アナログフィルタAF1は、特に制限されないが、演算増幅器を基本構成とするローパスフィルタであり、上記アナログ入力信号Ainの周波数帯域をその遮断周波数内に制限する。アナログフィルタAF1の出力信号は、A/D変換回路AD

Cの入力端子に伝達される。

A/D変換回路ADCは、特に制限されないが、オーバーサンプリング型のアナログ/デジタル変換回路とされ、スイッチトキャパシタを基本構成とするサンプルホールド回路と、このサンプルホールド回路の出力信号を受けるA/D変換部とを含む。A/D変換回路ADCには、デジタルPLL回路DPL1から、サンプリングクロック信号 $\phi_0$ が供給される。ここで、サンプリングクロック信号 $\phi_0$ の中心周波数は、例えば1.2288 MHz (メガヘルツ) とされる。

A/D変換回路ADCは、上記アナログフィルタAF1によって帯域制限されたアナログ入力信号 $A_{in}$ を、第2図に示されるように、上記サンプリングクロック信号 $\phi_0$ の立ち下がりがエッジすなわちサンプリング点においてサンプリングし、低精度のデジタル信号を形成する。A/D変換回路ADCの出力信号は、デジタルフィルタDF1の入力端子に供給される。

デジタルフィルタDF1には、デジタルP

600 Hz とされる。

デジタルPLL回路DPL1は、上記クロック信号 $\phi_p$ を分周し、かつその位相を上記クロック信号 $\phi_p$ と比較することで、受信データに位相同期されたサンプリングクロック信号 $\phi_0$ を形成する。また、このサンプリングクロック信号 $\phi_0$ を包含するタイミング信号 $\phi_{sp}$ を形成し、クロック発生回路CG2に供給する。タイミング信号 $\phi_{sp}$ は、第2図に示されるように、サンプリングクロック信号 $\phi_0$ よりやや早くハイレベルとされ、サンプリングクロック信号 $\phi_0$ に少し遅れてロウレベルとされる。また、そのパルス幅は、特に制限されないが、基本クロック信号 $\phi_0$ のほぼ2サイクル分とされる。

デジタル信号処理回路DSPには、特に制限されないが、クロック発生回路CG2から4相のクロック信号 $\phi_1 \sim \phi_4$ が供給される。これらのクロック信号は、第2図に示されるように、基本クロック信号 $\phi_0$ を分周することによって形成される。ここで、基本クロック信号 $\phi_0$ の周波数は、

PLL回路DPL1から、上記サンプリングクロック信号 $\phi_0$ が供給される。

デジタルフィルタDF1は、特に制限されないが、積分回路を基本構成とする速度変換フィルタであって、上記A/D変換回路ADCから供給される低精度のデジタル信号を積分し、所定のサンプリング周期に従った多ビット・高精度のデジタル信号を形成する。デジタルフィルタDF1の出力信号は、デジタル信号処理回路DSPに供給される。

デジタルPLL回路DPL1には、特に制限されないが、クロック発生回路CG1からクロック信号 $\phi_p$ が供給され、後述するタイマー回路TIMからクロック信号 $\phi_p$ が供給される。ここで、クロック信号 $\phi_p$ は、後述する基本クロック信号 $\phi_0$ をもとに形成され、その周波数は、特に制限されないが、7.3728 MHz とされる。また、クロック信号 $\phi_p$ は、デジタル信号処理回路DSPによって復元・抽出された受信データの位相検出信号であって、その中心周波数は、9

特に制限されないが、29.4912 MHz とされ、クロック信号 $\phi_1 \sim \phi_4$ の周波数は、基本クロック信号 $\phi_0$ の四分の一すなわち7.3728 MHz とされる。

この実施例において、クロック発生回路CG2は、第2図に示されるように、デジタルPLL回路DPL1から供給される上記タイミング信号 $\phi_{sp}$ がハイレベルとされるとき、上記クロック信号 $\phi_1 \sim \phi_4$ を一時的に形成しない。

デジタル信号処理回路DSPは、特に制限されないが、ストアプログラム方式の処理回路とされ、多数の論理回路からなる算術論理演算ユニット及び各種レジスタ等の論理部とランダムアクセスメモリ等の記憶部とを含む。これらの論理部及び記憶部は、上記クロック発生回路CG1から供給されるクロック信号 $\phi_1 \sim \phi_4$ に従って、同期動作される。デジタル信号処理回路DSPは、モデム装置を構成する各ブロックの動作を統轄するとともに、上記デジタルフィルタDF1から供給されるデジタル信号に所定の信号処理を施

すことで、もとの受信データを復元・抽出する。デジタル信号処理回路DSPは、送受信データに所定のデジタル信号処理を施すことで、デジタルフィルタとしての機能を果たす場合もある。デジタル信号処理回路DSPによって復元・抽出された受信データは、特に制限されないが、データバスDA0~DAPを介して、外部のホストコンピュータ等に伝達される。

デジタル信号処理装置DSPは、さらに、上記ホストコンピュータ等から上記データバスDA0~DAPを介して供給される送信データに所定の信号処理を施すことで、所定のサンプリングクロックに従いつつ加入者回線の変調方式に見合った所定ビット数のデジタル信号を形成する。これらのデジタル信号は、デジタルフィルタDP2の入力端子に供給される。

デジタルフィルタDP2、D/A変換回路DAC及びアナログフィルタAF2ならびにデジタルPLL回路DPL2は、デジタル信号処理回路DSPにより形成された上記デジタル信号

に対して、上記デジタルフィルタDF1、A/D変換回路ADC及びアナログフィルタAF1ならびにデジタルPLL回路DPL1とそれぞれ逆対応の処理を施す。その結果、所定の周波数帯域を有しかつ振幅位相変調されたアナログ出力信号Aoutを形成し、図示されない加入者回線に送出する。

タイマー回路TIMは、デジタル信号処理回路DSPにより復元・抽出された受信データの位相を検出して、上記クロック信号φpを形成する。このクロック信号φpは、上記デジタルPLL回路DPL1及びDPL2に供給される。

ステータス情報制御論理回路STLは、特に制限されないが、デジタル信号処理回路DSPにより制御され、モデム装置の各ブロックのステータス情報を、データバスDB0~DBqを介して、ホストコンピュータ等に入出力する。

前述のように、この実施例のモデム装置において、デジタル信号処理回路DSPは、多数の論理回路からなりクロック信号φ1~φ4に従って

同期動作される論理部及び記憶部を含む。これらの論理回路が上記クロック信号φ1~φ4に従って動作するとき、A/D変換回路ADCのサンプルホールド回路には、第2図に示されるようなノイズ信号Vnが、基板容量あるいは電源供給線を通じて伝達される。このため、この実施例のモデム装置では、前述のように、デジタルPLL回路DPL1からクロック発生回路CG2に対して、サンプリングクロック信号φsを包含する形で形成されるタイミング信号φspが供給される。そして、このタイミング信号φspがハイレベルとされる間、クロック信号φ1~φ4が一時的に形成されず、デジタル信号処理回路DSPの動作が一時的に停止される。つまり、A/D変換回路ADCにおいて入力アナログ信号Ainのサンプリング動作が行われる間、デジタル信号処理回路DSPの論理部及び記憶部が同期動作されることによる上記ノイズ信号Vnは形成されない。これにより、A/D変換回路ADCのS/N比が改善され、結果的にモデム装置としての伝送特性が

高められる。

以上のように、この実施例のモデム装置は、共通の半導体基板上に形成されるA/D変換回路ADC等のアナログ回路と、デジタル信号処理回路DSP等のデジタル回路を混載する。A/D変換回路ADCは、スイッチトキャパシタを基本構成とするサンプルホールド回路を含み、サンプリングクロック信号φsに従って入力アナログ信号Ainのレベルをサンプリングする。また、デジタル信号処理回路DSPは、それぞれ多数の論理回路からなる論理部及び記憶部を含み、4相のクロック信号φ1~φ4に従って同期動作される。これらのクロック信号φ1~φ4は、クロック発生回路CG2によって形成される。この実施例において、クロック発生回路CG2には、上記サンプリングクロック信号φsを包含する形で形成されるタイミング信号φspが供給され、このタイミング信号φspがハイレベルとされる間、上記クロック信号φ1~φ4が一時的に形成されない。このため、A/D変換回路ADCにおいて

サンプリング動作が行われる間、デジタル信号処理回路DSPの動作は一時的に停止され、デジタル信号処理回路DSPの比較的多数の論理回路が同期動作されることによるノイズ信号は抑制される。これにより、A/D変換回路ADCのS/N比が改善され、結果的にモデム装置としての伝送特性が高められるものである。

以上の本実施例に示されるように、この発明を1チップ型のモデム装置等の半導体集積回路装置に適用することで、次のような作用効果を得ることができる。すなわち、

(Ⅲ) A/D変換回路等のアナログ回路とデジタル信号処理回路等のデジタル回路を混載する1チップ型のモデム装置等において、例えばA/D変換回路により入力アナログ信号のサンプリング動作が行われる間、デジタル信号処理回路に供給されるクロック信号を一時的に形成せず、その動作を一時的に停止させることで、同一の半導体基板上に形成されかつ多数の論理回路を含むデジタル信号処理回路が同期動作されることにより発

生するノイズ信号を、一時的に抑制できるという効果が得られる。

(Ⅳ) 上記(Ⅲ)項により、A/D変換回路等のS/N比を改善できるという効果が得られる。

(Ⅴ) 上記(Ⅲ)項及び(Ⅳ)項により、絶縁層形成やエピタキシャル基板等の低濃度基板による特殊技術に依存することなく、アナログ回路とデジタル回路を混載する1チップ型モデム装置等の伝送特性を高められるという効果が得られる。

(Ⅵ) 上記(Ⅲ)項～(Ⅳ)項により、比較的同一の半導体基板上に形成しにくいアナログ回路とデジタル回路を積極的に混載し、モデム装置等の1チップ化を推進できるため、その低コスト化を図ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、この実施例では、デジタルPLL回路DPLLから供給されるタイミング信号φ

φ<sub>pp</sub>によってクロック信号φ<sub>1</sub>～φ<sub>4</sub>を一時的に形成しない方法を採用しているが、タイミング信号φ<sub>pp</sub>がハイレベルとされるときクロック発生回路CG2に供給される基本クロック信号φ<sub>0</sub>自体を一時的に遮断することで、同様な効果を得ることもできる。また、例えばコーデック(CODEC)等のように、サンプリングクロック信号φ<sub>0</sub>をクロック信号φ<sub>1</sub>～φ<sub>4</sub>等に同期して形成できる場合、第3図に示されるように、サンプリングクロック信号φ<sub>0</sub>を、例えばクロック信号φ<sub>4</sub>からφ<sub>1</sub>までの間で定常的に形成できるようにしてもよい。A/D変換回路ADC等のアナログ回路においてアナログ信号のサンプリング動作等が行われる間、デジタル信号処理回路DSP等のデジタル回路の動作を一時的に停止する具体的な方法は、種々考えられる。第1図において、モデム装置の各ブロックとデジタル信号処理回路DSPの機能分担は、この実施例によって制限されない。また、デジタル信号処理回路DSPに供給されるクロック信号の相数や、各クロック信号

の周波数は、任意の値を採りうる。モデム装置は、例えばD/A変換回路DACにおいてレベル設定に関係する動作が行われるとき、デジタル信号処理回路DSPの動作を同様に一時的に停止するものであってもよい。さらに、第1図に示されるモデム装置のブロック構成や第2図に示される各クロック信号及びタイミング信号の時間関係は、種々の実施形態を採りうる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である1チップ型モデム装置に適用した場合について説明したが、それに限定されるものではなく、例えば、コーデックや各種のアナログ/デジタル混載型集積回路にも適用できる。本発明は、少なくとも共通の半導体基板上に形成されるアナログ回路及びデジタル回路を具備する半導体集積回路装置に広く適用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

記のとおりである。すなわち、A/D変換回路等のアナログ回路とデジタル信号処理回路等のデジタル回路を混載する1チップ型のモデム装置等において、例えばA/D変換回路により入力アナログ信号のサンプリングする動作が行われる間、デジタル信号処理回路に供給されるクロック信号を一時的に形成せず、その動作を一時的に停止させることで、デジタル信号処理回路が同期動作されることにより発生するノイズ信号を一時的に抑制できる。これにより、A/D変換回路等のS/N比を改善し、結果的にアナログ回路とデジタル回路を混載する1チップ型モデム装置等の伝送特性を高めることができる。

#### 4. 図面の簡単な説明

第1図は、この発明が適用されたモデム装置の一実施例を示すブロック図、

第2図は、第1図のモデム装置の一実施例を示す信号波形図、

第3図は、第1図のモデム装置のもう一つの実施例を示す信号波形図、

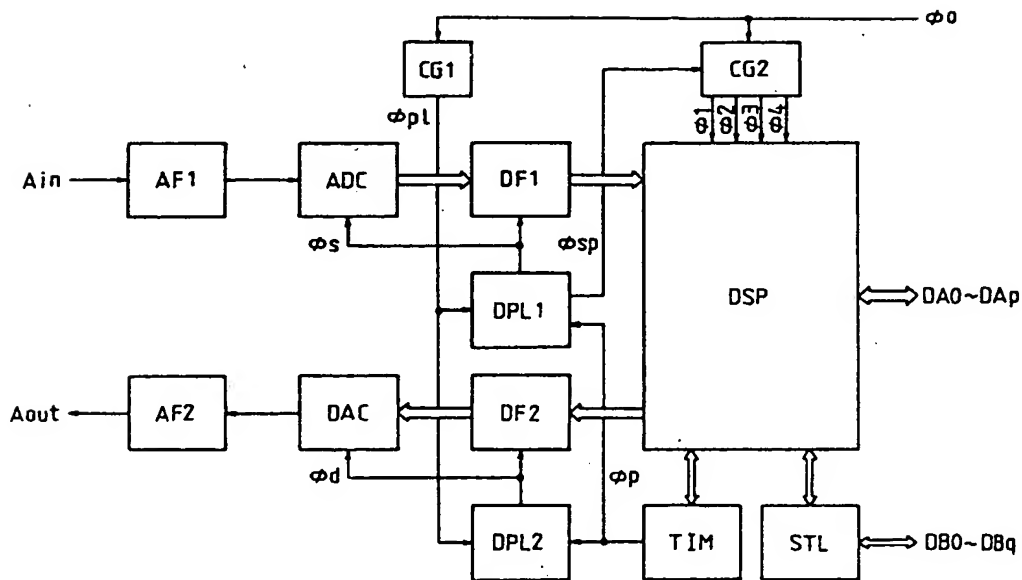
第4図は、この発明に先立って本願発明者等が開発したモデム装置の一例を示すブロック図、

第5図は、第4図のモデム装置の一例を示す信号波形図である。

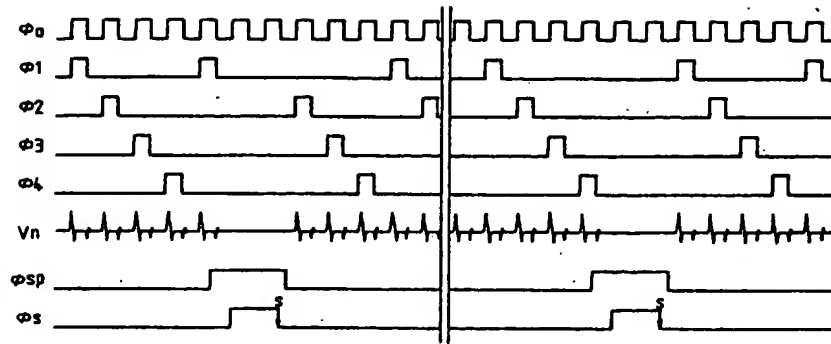
AF1、AF2・・・アナログフィルタ、ADC・・・A/D変換回路、DAC・・・D/A変換回路、DF1、DF2・・・デジタルフィルタ、DSP・・・デジタル信号処理回路、CG1、CG2・・・クロック発生回路、DPL1、DPL2・・・デジタルPLL回路、TIM・・・タイマー回路、STL・・・ステータス情報制御論理回路。

代理人弁理士 徳若 光政

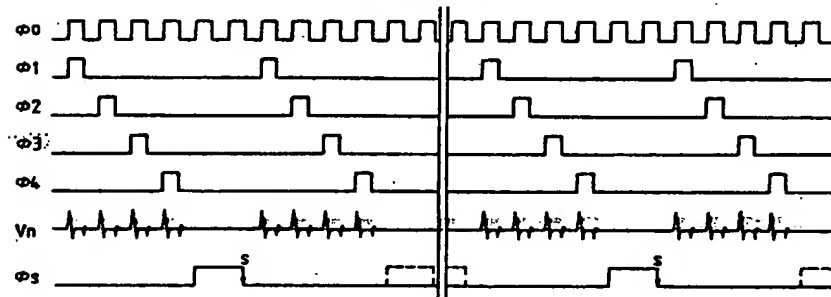
第 1 図



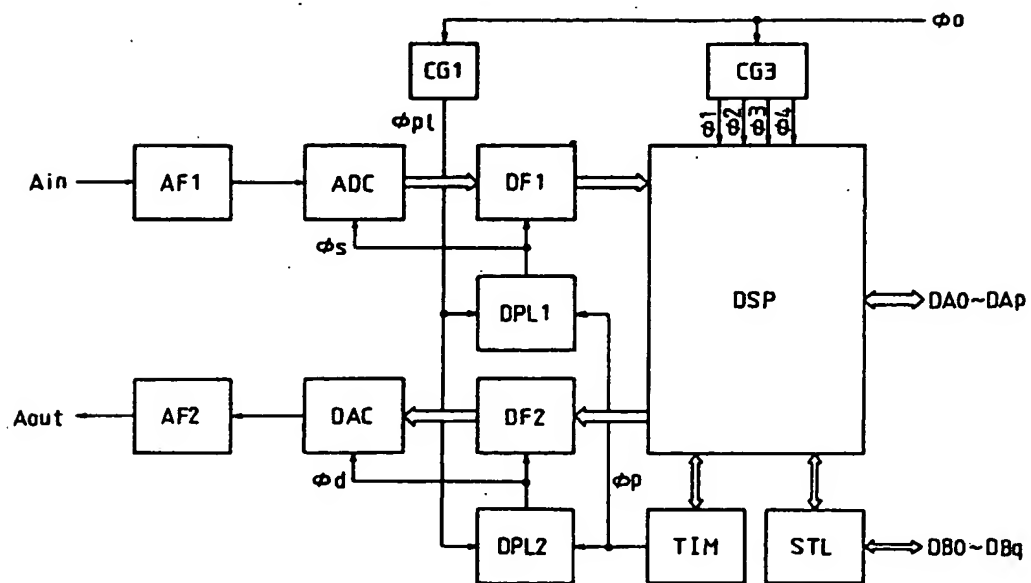
第 2 圖



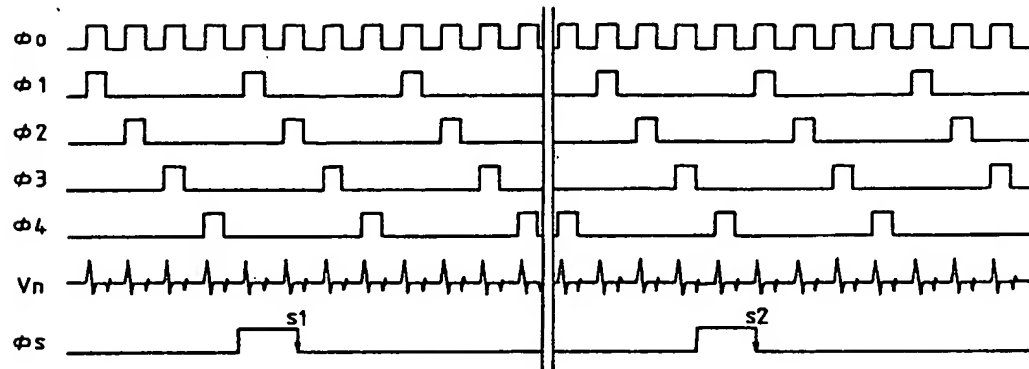
第 3 圖



第 4 圖



第 5 図



第 1 頁の続き

⑤Int. Cl.<sup>5</sup>

H 04 L 27/00

識別記号

庁内整理番号

②発 明 者 伊 藤 恒 夫 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内